

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-068124

(43)Date of publication of application : 01.06.1979

(51)Int.Cl.

G06F 13/00

(21)Application number : 52-135524

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1977

(72)Inventor : UMEMURA MAMORU

(54) CONVERTING UNIT

(57)Abstract:

PURPOSE: To avoid the increase in the number of comparators even if the number of keys in the cross reference table entry is increased, by constituting the conversion circuit with the Hash circuit converting the given key value into the number in a limited range and with a plurality of table memories storing the cross reference table having the value corresponding to the key value.

CONSTITUTION: The table memory 22 is split into a plurality of blocks, the key value given via the line 101 from external is converted into the entry address to the memory 22 with the Hash circuit 11 and it is outputted from the switch 29 by using the line 202. The switch 29 selects the entry for one block of the memory 22 via the line 203, the "key value" is given to one of the comparators 13 to 16 with the lines 111 to 114 and the "value" is outputted to the selector 18 via the lines 121 to 124. Thus, the comparators 13 to 16 compare the key value from external and obtain agreement/disagreement signal, and feeds it to the judgement unit 27 through the lines 131 to 134. After that, this operation is repeated and the value corresponding is fed to external.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54—68124

⑫Int. Cl.²
G 06 F 13/00識別記号 ⑬日本分類
97(7) C 0庁内整理番号 ⑭公開 昭和54年(1979)6月1日
6241—5B発明の数 1
審査請求 未請求

(全 4 頁)

⑮交換装置

⑯特 願 昭52—135524

⑰出 願 昭52(1977)11月10日

特許法第30条第1項適用 昭和52年10月6日
第3回ペリレーラージデータベース国際会議に
おいて発表

⑱発 明 者 梅村 護

東京都港区芝五丁目33番1号

日本電気株式会社内

⑲出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

⑳代 理 人 弁理士 内原晋

明 細 書

交換装置。

発明の名称

交換装置

特許請求の範囲

外部より与えられたキー値に対応する値を見出す装置において、前記外部より与えられたキー値を限られた範囲の番号に変換するハッシュ回路と、キー値と値の対応表を格納する複数個のブロックに分けられたテーブルメモリと、ブロック切換信号により前記ハッシュ回路出力信号に対応する前記ブロックに切換え加える手段と、前記外部より与えられたキー値と前記テーブルメモリ内のキー値とを前記ブロック毎に比較する比較器と、前記比較器の比較結果を判定し前記ブロック切換信号およびまたは、値セレクト信号を出力する手段と、前記外部より与えられたキー値に対応する前記テーブルメモリ内に格納されている値を前記値セレクト信号によりセレクトし出力する手段とを備え

発明の詳細な説明

本発明はコンピュータ記憶装置のアドレス変換に関し、更に詳細には、外部から与えられたキー値に対応する情報を含む、記憶装置内のアドレスを見出す交換装置に関するものである。

特願昭 47—56519 号明細書（特開昭 48—19141 号公報）に開示されるような従来のアドレス変換器では、外部から与えられたキー値を、キー値と対応する情報を含む記憶装置内アドレス値との対応表のエントリーアドレスに変換し、このエントリー内に存在するキー値の個数と同じ個数の比較器を用いて外部から与えられたキー値との比較を行ない、一致したキー値に対応する値を出力するものであつた。このため、キー値と対応記憶装置内アドレス値対応表のエントリー内のキー値数を増加するとその分だけ比較器を付加する必要がある。

本発明の目的は、対応表エントリー内のキー値数を増加したとき比較器の個数の増加を伴わない変

特開昭54-68124(2)

換装置を提供することにある。即ち本発明はこの目的を成就するために外部より与えられたキー値に対応する値を見出す装置であり、与えられたキー値を限られた範囲の番号に変換するハッシュ回路と、キー値と対応する値との対応表を格納する複数のブロックに分けられたテーブルメモリと、ブロック切換信号により前記ハッシュ回路出力信号を対応する前記ブロックに切換え加える手段と、与えられたキー値とテーブルメモリ内のキー値とをブロック毎に比較するブロックに共通の比較器と、比較器の比較結果を判定し前記ブロック切換信号および、または値セレクト信号を出力する手段と、与えられたキー値に対応するテーブルメモリ内に格納されている値を前記値セレクト信号によりセレクトし出力する手段とを備えた変換装置である。

以下図面を用い、従来の変換方式と比較しつつ詳細に説明する。

第1図は従来のアドレス変換器の一実施例を示すブロック図。外部から与えられるキー値は線

101 によつてハッシュ回路11及び比較器13, 14, 15, 16の一方の入力として与えられる。ハッシュ回路11は与えられたキー値を限られた範囲の番号に変換し、この番号が変換テーブルメモリ12の一つのエントリアドレスとして線102を介してテーブルメモリ12に与えられる。変換テーブルメモリの一つのエントリは、キー値と対応する値の対を複数個含み、一つのエントリがアドレスされると各対の「キー値」が線111, 112, 113, 114を介して夫々比較器13, 14, 15, 16の他方の入力として与えられ、各対の「値」が線121, 122, 123, 124を介してセレクト18に出力される。比較器13, 14, 15, 16は、線101を介して与えられたキー値とテーブルメモリ内のキー値を比較し、夫々の結果（一致又は不一致）が線131, 132, 133, 134を介して判定器17に与えられる。判定器17は、線131, 132, 133, 134のいずれかが一致を示していればその番号をセレクト18に線141を介して送り、一致したキー値に対応する値を、線151を介して外部に出力し、もしいずれも不一致を示していれば線152を介し

て与えられたキー値に対応する値がテーブルメモリ内にないことを外部に知らせる。

第2図は、本発明の一実施例をブロック図で示しているが簡単のため本発明の説明に必要な部分のみが示してある。また第1図と同じ部分には同一の番号を付してある。以下第1図の従来方式実施例と異なる部分についてのみ説明する。本発明のテーブルメモリは、従来方式と異り、複数のブロックに分割される。第2図で、ハッシュ回路11は、外部から線101を介して与えられたキー値をテーブルメモリのエントリアドレスに変換し、線202を介してスイッチ29に出力する。スイッチ29は、先ず線203を介してテーブルメモリ22のブロック1の一つのエントリを選択し、「キー値」を線111, 112, 113, 114を介して夫々比較器13, 14, 15, 16の一方の入力として与え、「値」を線121, 122, 123, 124を介してセレクト18に出力する。比較器13, 14, 15, 16は予め線101を介して外部から与えられているキー値と比較を行ない、一致／不一致信号を夫々線131, 132, 133, 134を介して判

定器27に送る。判定器27は、いま印加された信号のいずれかが一致信号であれば、従来方式と同様に、一致したキー値に対応する番号線141を介してセレクト18に与え、セレクト18は線151を介して外部に「値」を出力する。判定器に与えられた信号がいずれも不一致信号のとき、線205を介してスイッチ29に信号が与えられ、ハッシュ回路11の出力が線204を介してテーブルメモリ22のブロック2の一つのエントリを選択する。以後テーブルメモリ22のブロック2についてブロック1と同様の動作が行なわれ、判定器27が比較器13, 14, 15, 16のいずれか一つのキー値の一致を検出すると対応する値が外部に送られ、また、再びすべての比較器が不一致であつたときは、線152を介してテーブルメモリ22のいずれのブロックにもキー値の一致が検出できなかつた旨外部に知らせる。

第3図は、第2図の判定器27の一実施例を示す回路図である。外部よりキー値が与えられると、この変換装置が起動され、第2図のハッシュ回路11の出力がスイッチ29を介してテーブルメモリ22

特開昭54-68124(3)

にアドレス選択信号を与えると、(第2図には図示していないが)第3図の線305を介して信号が送られ、判定器27の初期化が行なわれる。即ち、線305に与えられた信号はORゲート39をとり線306を介して時間遅れ要素(以下DTと称す)38に入力される。DT38は、テーブルメモリ22の出力が比較器13, 14, 15, 16を経て線131, 132, 133, 134に信号を付与するまでの時間を経過すると線307を介してフリップフロップ(以下FFと称す)37をセットし、その出力が線308を介してエンコーダ31の出力を促す信号EOに印加される。エンコーダ31は線131, 132, 133, 134のいずれかが一致を示していればその番号をエンコードし、線301, ANDゲート32を介して線141を通過し、セクタ18へ選択信号として印加される。このときエンコーダ31のALL0信号は負を示しており、この信号が線302を介し、符号反転ゲート33, 線303を介してANDゲート32の他方の入力となり、線141の出力を有効にしている。線303に与えられた正の信号は、判定の結果一致したキー値がテーブル

メモリ22内のブロック1に存在したことを示している。このとき、この信号は線303, ORゲート34, 線304を介してFF35をリセットし、線205及び、ANDゲート36の出力152をインヒビットする。エンコーダ31への入力がすべて不一致信号のときは、出力ALL0が正となり、線302を介してFF35がセットされると同時にORゲート40を介してFF37がリセットされ、エンコーダ31の出力が阻止される。FF35の出力線205を介して第2図のスイッチ29に印加され、ブロックの切換えが指示されてテーブルメモリのブロック2が取出される。FF35の出力は同時にORゲート39を介してDT38に送られ、比較器の出力がそろつた時点でFF37がセットされ、エンコーダ31の出力が有効となる。ここで再びALL0出力が負であれば線141にセクタ18の選択信号として印加される。もしALL0が正であると、線302を介してANDゲート36が開かれ、線152を介して外部へテーブルメモリ22内にキー値が見付からなかつた事が通知される。その後線302, ORゲート40, 線309を介して

FF37がリセットされ、また線152, ORゲート34, 線304を介してFF35もリセットされて、判定器27は初期化される。

第2図のスイッチ29は、線205を介して判定器27よりブロック切換え信号が送られると、テーブルメモリ22のエントリアドレスをブロック1からブロック2に切換える。

第4図はスイッチ29の一実施例を示す。ハッシュ回路11の出力が n ビットのとき、テーブルメモリアドレスを $n+1$ ビットとし、FF41が $n+1$ ビット目に相当する。FF41がリセット状態のときブロック1が指され、セット状態でブロック2が指される。

ハッシュ回路11は、与えられたキー値を限られた範囲の値に変換する回路であり、従来行なわれている回路が利用される。

以上、本発明を図面を用いて説明したが、上記説明は単なる一例にすぎず、本発明の範囲を限定するものではない。即ち、

(1) 本実施例ではテーブルメモリのブロック数

を2として説明したが3以上とすればテーブルメモリエントリ内のキー値と値の対の増加に対し、比較器の個数の増加を抑えることができ、発明の効果が大きい。

(2) 本実施例では、テーブルメモリエントリ内のキー値と対応する値の対を4個としたが、使用状況により適切な数を選択すればよい。

図面の簡単な説明

第1図は、アドレス変換装置の従来例を示すブロック図、第2図は、本発明の一実施例を示すブロック図、第3図は、第2図の判定回路27の実施例を示す図、第4図は第2図のスイッチ29の実施例を示す図である。

図において、11はハッシュ回路、22はテーブルメモリ、13, 14, 15, 16は比較器、27は比較結果判定回路、18はセクタ、29はスイッチである。

代理人 弁理士 内原 啓

